

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-126419

(43)Date of publication of application : 15.05.1998

(51)Int.Cl.

H04L 12/28

H04Q 3/00

(21)Application number : 08-279763

(71)Applicant : NEC CORP

(22)Date of filing : 23.10.1996

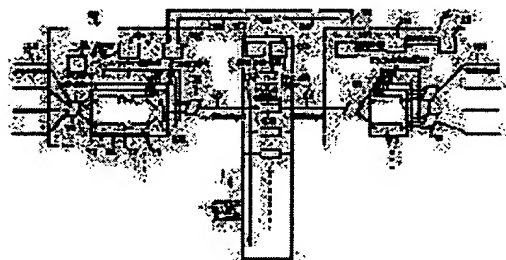
(72)Inventor : SHINOHARA MASAYUKI

(54) ATM EXCHANGE SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To warrant the impartiality of throughput among VCs using a same output channel by suppressing occurrence of congestion in the inside of an asynchronous transfer mode(ATM) exchange so as to improve the execution throughput.

SOLUTION: The system is provided with a core switch section (CS 102) of an output buffer configuration with an ATM cell exchange function between high speed input output ports, an input buffer module section (OXB 30) multiplexing a plurality of low speed input channels to a high speed input port of the CS 102, and an output buffer module section (OXB 30) that demultiplexes outputs of high speed output ports of the CS 102 to a plurality of low speed output channels, the IXB 20 is able to make queuing for each output channel and for each service class, and the OXB 30 is able to make queuing for each output channel and for each service class contained in itself. When a buffer occupied capacity exceeds a threshold capacity, the OXB 30 sends a cell suppression signal to the CS 102 and sends a cell suppression signal to all the IXB 20 when the length of a queue for each output channel exceeds a threshold length. When the length of a queue for each output port exceeds a threshold length, the CS 102 sends a cell suppression signal to all the IXB 20. The IXB 20 conducts stop control of cell transmission according to the cell suppression signal.



LEGAL STATUS

[Date of request for examination] 23.10.1996

[Date of sending the examiner's decision of rejection] 24.03.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-126419

(43) 公開日 平成10年(1998) 5月15日

(51) Int.Cl.⁶

識別記号

F I

H 0 4 L 12/28

H 0 4 L 11/20

H

H 0 4 Q 3/00

H 0 4 Q 3/00

H 0 4 L 11/20

G

審査請求 有 請求項の数 7 O L (全 19 頁)

(21) 出願番号 特願平8-279763

(22) 出願日 平成8年(1996)10月23日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 篠原 誠之

東京都港区芝五丁目7番1号 日本電気株式会社内

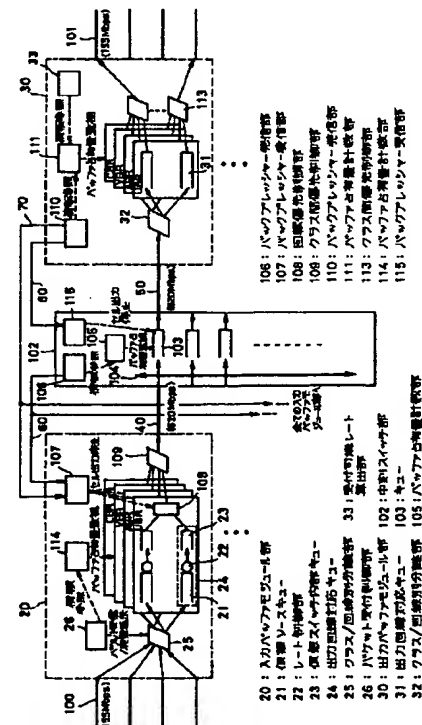
(74) 代理人 弁理士 ▲柳▼川 信

(54) 【発明の名称】 A T M 交換機システム

(57) 【要約】

【課題】 ATM 交換機内部での輻輳発生を抑制して実行スループットを増大させ同一出力回線を使用する vcl 間でのスループット公平性を保証する。

【解決手段】 高速入出力ポート間の ATM セル交換機能を有する出力バッファ型構成の中核スイッチ部 (CS102) と、複数の低速入力回線を CS の高速入力ポートへ多重する入力バッファモジュール部 (IXB20) と、CS の高速出力ポートの出力を複数の低速出力回線に分離する出力バッファモジュール部 (OXB30) を設け、IXB では出力回線毎、サービスクラス毎にキューイングを可能とし、OXB では自らが収容する出力回線毎、サービスクラス毎にキューイングを可能に構成する。OXB においてバッファ占有量が閾値を超えた時 CS へセル抑止信号を発信し、出力回線毎のキュー長が閾値を超えた時全 IXB へセル抑止信号を発信する。CS において出力ポート毎のキュー長が閾値を超えた時全 IXB へセル抑止信号を発信する。IXB においてこれ等セル抑止信号に従ってセル送出の停止制御をなす。



【特許請求の範囲】

【請求項1】 所定伝送速度を有する入出力ポート間のA T Mセル交換を、A T Mセルをバッファに格納することで実行するスイッチ部と、前記所定伝送速度よりも低速な複数の入力回線を前記スイッチ部の入力ポートへ多重し前記A T Mセルを格納するバッファを有する入力バッファモジュール部と、前記スイッチ部の出力ポートからの出力を、前記所定伝送速度よりも低速な複数の出力回線に分離し前記A T Mセルを格納するバッファを有する出力バッファモジュール部とを含み、前記入力バッファモジュール部は、前記A T Mセルを自身が収容する出力回線毎にかつサービスクラス毎に前記バッファへキューイング可能とされ、前記出力バッファモジュール部は、宛先出力回線毎にかつ前記サービスクラス毎に前記バッファにキューイング可能とされたA T M交換機システムであって、

前記出力バッファモジュール部において、前記バッファの総占有量が所定閾値を超えたときに前記スイッチ部へセル抑止信号を発信する手段と、前記出力回線毎に設けられたキューと、このキューの長さが所定閾値を超えたときに全ての前記入力バッファモジュール部へセル抑止信号を発信する手段とを設け、前記スイッチ部において、前記出力ポート毎に設けられたキューと、このキューが所定閾値を超えたときに全ての前記入力バッファモジュール部へセル抑止信号を発信する手段と、前記セル抑止信号が発信された前記出力バッファモジュール部へのセル送出を停止する停止制御手段とを設け、前記入力バッファモジュール部において、前記セル抑止信号が発信された前記出力ポート、前記出力回線へのセル送出を停止する停止制御手段を設けたことを特徴とするA T M交換機システム。

【請求項2】 前記入力バッファモジュール部において、前記出力回線毎に設けられた出力回線対応キューと、このキューのうち同一出力ポート宛てのキューの集合である仮想キューとを更に設け、前記出力バッファモジュール部において、前記出力バッファモジュール部の前記出力回線毎のキューにおける受付可能レートを定期的に算出するレート計算手段とを、更に設けたことを特徴とする請求項1記載のA T M交換機システム。

【請求項3】 前記レート計算手段は、サービスクラス別の前記仮想キュー、または前記出力バッファモジュールの前記出力回線対応キューの状態時間変化から定期的にサービスクラス毎の受付可能レートを算出し、前記入力バッファモジュール部において、前記受付可能レートに基き各出力回線宛てのセル送出を制御する内部レート制御手段とを更に設けたことを特徴とする請求項2記載のA T M交換機システム。

【請求項4】 前記入力バッファモジュール部におい

て、前記出力回線対応キューを第1及び第2のキューからなる二重構成とし、前記内部レート制御手段を前記第1及び第2のキューの間に設け、前記第1のキューからのセル転送を、前記仮想キューあるいは前記出力バッファモジュール部の前記レート計算手段で算出された受付可能レートに基いて前記セル送出の制御をなすことを特徴とする請求項3記載のA T M交換機システム。

【請求項5】 前記入力バッファモジュール部の出力回線対応キューの前記内部レート制御手段に設定される転送レートとして、前記出力回線対応キューの対応する出力ポート宛ての前記仮想キューで算出される受付可能レートと、現時点で前記出力回線対応キューの対応する前記出力バッファモジュール部の出力回線対応キューにセルが蓄積されているアクティブ論理チャネル数との積、及び前記出力回線対応キューの対応する前記出力バッファモジュール部の出力回線対応キューで算出される受け付け可能レートと前記出力回線対応キューにおけるアクティブ論理チャネル数との積のうち、小なる方を使用するようにしたことを特徴とする請求項4記載のA T M交換機システム。

【請求項6】 前記入力バッファモジュール部の出力回線対応キューのバッファ占有量を論理チャネル毎に観測し、パケットの先頭セルが前記出力回線対応キューに到着したとき、前記出力回線対応キューにおける前記パケットの論理チャネルによるバッファ占有量が所定閾値を超えているときに前記パケットの廃棄をなすようにしたことを特徴とする請求項1～5いずれか記載のA T M交換機システム。

【請求項7】 前記入力バッファモジュール部の前記出力回線対応キューにおける前記パケットの論理チャネルによるバッファ占有量と比較する値として、ある固定閾値を前記出力回線対応キューのアクティブ論理チャネル数で除算した値を使用することを特徴とする請求項6記載のA T M交換機システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はA T M交換機システムに関し、特に所定伝送速度を有する入出力ポート間のA T Mセル交換を、A T Mセルをバッファに格納することで実行するスイッチ部と、前記所定伝送速度よりも低速な複数の入力回線を前記スイッチ部の入力ポートへ多重し前記A T Mセルを格納するバッファを有する入力バッファモジュール部と、前記スイッチ部の出力ポートからの出力を、前記所定伝送速度よりも低速な複数の出力回線に分離し前記A T Mセルを格納するバッファを有する出力バッファモジュール部とを含み、前記入力バッファモジュール部は、前記A T Mセルを自身が収容する出力回線毎にかつサービスクラス毎に前記バッファへキューイング可能とされ、前記出力バッファモジュール部は、宛先出力回線毎にかつ前記サービスクラス毎に前記

3

バッファにキューイング可能とされたA T M交換機システムに関するものである。

【0002】

【従来の技術】従来の交換容量が2.4 G b p s程度の小規模なA T M交換機においては、図22に示す様に、ユーザ端末が利用可能な低速回線インタフェースを高速な時分割多重バスに直接収容する単純入出力バッファ形式が主流であった。

【0003】以下に従来構成のA T M (Asynchronous Transfer Mode) 交換機のセルスイッチング動作を説明する。入力回線100から流入するA T Mセルは、クラス／回線別分離部112によりA T Mセルの宛先出力回線とサービスクラス種別を識別された上で、適切な出力回線対応キュー111に格納される。

【0004】回転優先制御部108は、同一サービスクラスに属する出力回線対応キュー111間でセル送出権を周回的に持ち回る様制御する。クラス間優先制御部109は予め決められた優先制御論理に従って異なるサービスクラス間のセル送出要求の競合を制御する。

【0005】このサービスクラスとしては、C B R (Constant Bit Rate), V B R (Variable Bit Rate), A B R (Available Bit Rate) 及びU B R (Unspecified Bit Rate) がある。

【0006】回転優先制御部108とクラス間優先制御部109の組み合わせ処理により選択され出力回線対応キュー111から取出されたA T Mセルは、時分割多重バス104を経由してその宛先出力回線に対応した中核スイッチキュー103に格納される。

【0007】中核スイッチキュー103では先頭のセルから順に出力回線101に送出される。中核スイッチ部102内のバッファ占有量計数部105は中核スイッチキュー103のキュー長(バッファ占有量)を観測する。バックプレッシャー発信部106は、バッファ占有量計数部105の保有する中核スイッチキュー103のキュー長情報を参照し、キュー長が閾値を超えて輻輳状態になった中核スイッチキュー103が存在することを検知すると、全ての入力バッファモジュール部110に対して輻輳状態にある出力回線を明記したバックプレッシャー信号113を発信する。

【0008】入力バッファモジュール部110内のバックプレッシャー受信部107は、受信したバックプレッシャー信号情報からバックプレッシャー信号を発した出力回線を特定し、その出力回線に対応した出力回線対応キュー111からのセル送出を禁止するよう回転優先制御部108に通知する。

【0009】この様に、従来構成のA T M交換機における入出力バッファ間のトラヒック制御としては、特定の出力回線が輻輳した場合にその出力バッファでのセル損失を防ぐために、その出力回線へのセル出力を停止させることを命じるバックプレッシャー信号を全ての入力バ

4

ッファモジュールに対して発生する単純なバックプレッシャー制御が存在するだけであった。

【0010】

【発明が解決しようとする課題】以上に述べた従来方法では、交換容量を増大させるためには、より高速な時分割多重バスにより多くの低速回線インタフェースを収容させる形式となるが、時分割多重バス上での入出力信号数の増大に伴いピン数が足りなくなるなどL S I実装の観点から実現性に困難を伴う。

【0011】また、従来のA T M交換機では、同一出力回線に複数の入力回線からのA T Mセルが同時到着することによる輻輳が頻繁に発生し、それに伴い出力バッファでのセル損失を防ぐためのバックプレッシャー信号が頻繁に発信される。

【0012】基本的に、バックプレッシャー制御は各入力回線からの同一出力回線へのスループットを均一化させる作用があり、同一出力回線へ向かうV C (Virtual Channel : 論理チャネル) の本数に入力回線間でばらつきがある場合、同一出力回線を使用するV C間でのスループット公平性を全く保証できない等、従来のA T M交換機では頻繁なバックプレッシャー信号発生によってこの様なスループット不公平性の問題が生じていた。

【0013】本発明の目的は、交換容量の増大化が容易であると共に、A T M交換機内部での輻輳発生を抑制して実効スループットを増大させ、かつ同一出力回線を使用するV C間でのスループット公平性を保証する様にしたA T M交換機システムを提供することである。

【0014】

【課題を解決するための手段】上記課題を解決するために、本発明においては、高速な入出力ポート間のA T Mセル交換を実行する出力バッファ型構成の中核スイッチ部と、複数の低速な入力回線を中核スイッチ部の高速な入力ポートへ多重する入力バッファモジュール部と、中核スイッチ部の高速な出力ポートからの出力を複数の低速な出力回線に分離する出力バッファモジュール部とを設け、入力バッファモジュール部では出力回線毎かつサービスクラス毎にキューイング可能とし、出力バッファモジュール部では自らが収容する出力回線毎かつサービスクラス毎にキューイング可能とする構成とした。

【0015】上記構成を有するA T M交換機の中核スイッチ部と出力バッファモジュール部でのセル損失を防ぐために、中核スイッチ部内の出力ポート毎に用意される中核スイッチキュー長が閾値を超えた時に、全ての拡張入力バッファモジュール部へバックプレッシャー信号を発生することとし、出力バッファモジュール部の総バッファ占有量が閾値を超えた時に、中核スイッチ部へバックプレッシャー信号を発生することとし、また、出力バッファモジュール部内の各出力回線対応キュー長においてキュー長が閾値を超えた時に、全ての入力バッファモジュール部へバックプレッシャー信号を発信することと

し、入力バッファモジュール部はバックプレッシャー信号を発信する出力ポートあるいは出力回線へのセル出力を、中核スイッチ部はバックプレッシャー信号を発信する出力バッファモジュール部へのセル出力を夫々停止するバックプレッシャー制御を備える構成とした。

【0016】また、上記構成を有するATM交換機で内部輻輳が頻繁に発生するのを抑えて出力回線毎のスループットを増大させると共に、同一出力回線を使用するVC間でのスループット公平性の改善や出力バッファモジュール部のバッファの有効利用を図るために、全ての入力バッファモジュール部内の出力回線対応キューのうち、同一出力ポート行きの出力回線対応キューの集合からなる仮想キュー（グローバルキュー）と、出力バッファモジュール部内の出力回線対応キューにおいて受付可能レートを夫々定期的に計算するレート計算機能を備える構成とし、入力バッファモジュール部内の出力回線対応キューを仮想ソースキューと仮想スイッチ内部のキューの二重構成とし、仮想ソースキューから仮想スイッチ内部キューのセル転送を、グローバルキューあるいは出力バッファモジュール部内の出力回線対応キューで計算される受付可能レートに基づいて、仮想ソースキューと仮想スイッチ内部キューの間に設けられたレート制御部により制御する構成とした。

【0017】入力バッファモジュール部内のレート制御部によるレート制御が論理チャネル（VC）間で均一レートとなるようにするため、入力バッファモジュール部内の出力回線対応キューのバッファ占有量を論理チャネル（VC）毎に観測しておき、パケットの先頭セルが入力バッファモジュール部内の出力回線対応キューに到着した時に、パケットの論理チャネル（VC）によるバッファ占有量が閾値を超えている時に該パケットを廃棄する構成とした。

【0018】

【発明の実施の形態】図面を参照して本発明の実施例について説明する。

【0019】図1は本発明によるATM交換機システムの一実施例のブロック図である。ATM交換機システムは、中核スイッチ部（CS部）10、入力バッファモジュール部（IXB部）20、出力バッファモジュール部（OXB部）30とから構成される。

【0020】中核スイッチ部102は、高速な入出力ポート間のATMセル交換機能を提供する出力バッファ形式の単純スイッチである。入力バッファモジュール部20は、複数の低速な入力回線100を多重して中核スイッチ部102の高速な入力ポート40への接続を仲介し、その内部には出力回路対応キュー24が設けられ、出力回線毎にキューイング可能としている。この出力回線対応キュー24をサービスクラス毎に用意することによって、容易にマルチサービスクラス環境を提供することができる。本実施例では4つのサービスクラス（CB

R、VBR、ABR、UBR）に対応して出力回線対応キュー24を用意しているが、所望のサービスクラスのみ分だけいくらかでも用意可能である。

【0021】また、入力バッファモジュール部20は、各出力回線対応キュー24においてVC毎のバッファ占有量を観測するバッファ占有量計数部105と、計測されたバッファ占有量に基づいて、パケット選択廃棄を制御するパケット受付制御部26を有する。

【0022】入力バッファモジュール部20内の出力回線対応キュー24は、レート制御部22を間に挟む仮想ソースキュー21と仮想スイッチ内部キュー23の二重構成である。レート制御部22は、仮想ソースキュー21から仮想スイッチ内部キュー23へのセル転送速度を指定されたレートになる様に制御する。

【0023】出力バッファモジュール部30は、中核スイッチ部102の高速な出力ポート50からのトラヒックを複数の低速な出力回線101に分離する役目を担い、出力回線対応キュー31により自らが収容する出力回線毎のキューイングを可能としている。入力バッファモジュール部20と同様に、この出力回線対応キュー31をサービスクラス毎に用意することによって、容易にマルチサービスクラス環境を提供することができる。

【0024】また、出力バッファモジュール部30は、全ての入力バッファモジュール部20内の出力回線対応キュー24のうち、同一出力ポート宛の出力回線対応キュー24の集合からなる仮想キュー（グローバルキュー）と、出力バッファモジュール部30内の出力回線対応キュー31において受付可能レートを計算する受付可能レート計算部33を有する。

【0025】出力バッファモジュール部30では、各論理キューが全バッファ容量を自由に使用できる完全共有バッファ方式を用いる。入力バッファモジュール部20では、論理キュー毎に上限値を設定して特定の論理キューが全バッファ量を独占できない構成とする。

【0026】以下に、本発明によるATM交換機のセルスイッチング動作を説明する。複数の入力回線100を収容する入力バッファモジュール部20では、入力回線100から流入するATMセルをクラス／回線別分離部25によりATMセルの宛先出力回線とサービスクラス種別を識別した上で、適切な出力回線対応キュー24に格納する。出力回線対応キュー24は、仮想ソースキュー21とレート制御部22と仮想スイッチ内部キュー23により構成される。

【0027】ATMセルは最初に仮想ソースキュー21に格納されるが、レート制御部22により提供される転送速度で仮想ソースキュー21から仮想スイッチ内部キュー23へ移動する。回転優先制御部108は、同一サービスクラスに属する出力回線対応仮想スイッチ内部キュー23間でセル送出権を周期的に持ち回らせる様制御する。クラス間優先制御部109は、予め決められた優

先制御論理に従って異なるサービスクラス間のセル送出要求の競合を制御する。

【0028】回転優先制御部108とクラス間優先制御部109の組み合わせ処理により選択された仮想スイッチ内部キュー23から取出されたATMセルは、時分割多重バス104を経由してその宛先出力ポートに対応した中核スイッチキュー103に格納される。中核スイッチキュー103では、先頭のセルから順に出力ポート50に送出され、後続の出力バッファモジュール30に送られる。

【0029】バッファモジュール30では、クラス/回線別分離部32によりATMセルの宛先出力回線とサービスクラス種別を識別した上で、適切な出力回線対応キュー31に格納する。出力回線毎に用意されるクラス間優先制御部113は、同一出力回線行きのセルを格納する各サービスクラスの出力回線対応キュー31の中から、次にセルを送出すべきサービスクラスを予め決められた優先制御論理に従って選択し、その先頭セルを出力回線101に送出する。

【0030】図2, 3, 4は夫々入力バッファモジュール部20, 中核スイッチ部102, 出力バッファモジュール部30内のバッファ占有量計数部114, 105, 111が夫々保有する情報内容の一例を示す。入力バッファモジュール部20内のバッファ占有量計数部114は、図2に示す如く、各サービスクラスの出力回線対応キュー24における仮想ソースキュー21と仮想スイッチ内部キュー23を含む全キュー長、仮想スイッチ内部キュー長、全キュー長のVC毎のバッファ占有量等を保有する。

【0031】中核スイッチ部102内のバッファ占有量計数部105は、図3に示す如く、各中核スイッチキュー103のキュー長を保有する。出力バッファモジュール部30内のバッファ占有量計数部111は、図4に示す如く、各サービスクラスの出力回線対応キュー31におけるバッファ占有量202及びその出力バッファモジュール部30宛のグローバルキューを構成する各出力回線対応キュー長203を保存する。

【0032】図5は本発明によるATM交換機システムにおけるバックプレッシャー制御の模式図である。説明の簡略化のため、一つのサービスクラスしか存在しない場合についての構成を示す。中核スイッチ部102内において、出力ポート50毎に用意される中核スイッチキュー103のキュー長 Q_{cs} が閾値 Q_{th_bps} を超えると、全ての入力バッファモジュール部20に対してバックプレッシャー信号(BP_CS)60を発信する。

【0033】入力バッファモジュール部20ではBP_CS信号60を発信した出力ポート行きのセルを送出停止させる。複数のサービスクラスが混在する環境では、サービスクラス毎に閾値 Q_{th_bps} を用意する、あるいはBP_CS信号一本に対しての複数のサービスクラス

に適用することで、多様なサービスクラス品質要求に応じた制御が可能となる。

【0034】一方、出力バッファモジュール部30内において、全バッファ使用量 $Q_{\alpha b}$ が閾値 $Q_{th_bp\alpha b}$ を超えた場合、前段に位置する中核スイッチキュー103に対してバックプレッシャー信号(BP_OXB)80を発信する。

【0035】中核スイッチキュー103ではBP_OXB信号80を受信すると、BP_OXB信号80を発信した後続の出力バッファモジュール部30へのセル出力を停止させる。また、出力バッファモジュール部30内の各出力回線対応キューにおいて、キュー長 $Q_{\alpha bl}$ が閾値 $Q_{th_bp\alpha bl}$ を超えた時に、全ての入力バッファモジュール部へバックプレッシャー信号(BP_OXBL)70を発信する。

【0036】入力バッファモジュール部20では、BP_OXBL信号70を発信した出力回線行きのセルを送出停止させる。サービスクラス別に用意された各出力回線対応キュー毎に独立して閾値 $Q_{th_bp\alpha bl}$ を用意できるので、多様なサービスクラス品質要求に応じた制御が可能となる。

【0037】以上説明した様に、上記実施例によれば、大容量の交換容量を保有するATM交換機を実現するために、低速回線インタフェースを時分割多重バスに直接収容させる従来方式と、より高速なポートインタフェースを直接収容させる本発明によるスイッチ構成とでは、明らかに本発明によるスイッチ構成の方が時分割多重バスに収容するインタフェースが少なく、LSI実装上のピン数不足等の問題発生を抑えることが可能である。

【0038】また、入力バッファモジュール部内の出力回線対応キューをサービスクラス毎に用意し、セル廃棄を防ぐために、中核スイッチ部や出力バッファモジュール部から発信されるバックプレッシャーの適用をサービスクラス対応に細分化することにより、セル廃棄率や遅延に関して多様なサービスクラス品質を提供することが容易に可能となる。

【0039】図6は受付可能レートの計算環境を示す。説明の簡略化のため、一つのサービスクラスしか存在しない場合についての構成を示す。各出力バッファモジュール部30に設置される受付可能レート計算部33は、全ての入力バッファモジュール部20内の出力回線対応キュー24のうち自らの収容されている出力ポート行きの出力回線対応キュー24の仮想スイッチ内部キュー23の部分の集合体であるグローバルキュー(仮想キュー)90や、その出力バッファモジュール部30に収容されている出力回線対応キュー31のキュー長時間変化をサービスクラス毎に観測し、その変化傾向に基づいてキュー長が時間的に安定する様な受付可能レートを定期的に算出する。

【0040】入力バッファモジュール部20内の出力回

10

20

30

40

50

線対応キュー24のレート制御部22への送信レート設定は、受付可能レート計算部33が受付可能レートを計算する度に実行される。ある入力バッファモジュール部20内のポート番号iの出力ポートに収容された回線番号jの出力回線に対応した出力回線対応キュー24のレート制御部22に設定される送信レート($R[i,j]$)は、出力ポートiのグローバルキュー90で計算される受付可能レート($ERg[i]$)とその出力回線対応キュー24における現時点のアクティブVC数($Nvc[i,j]$)の積、あるいは出力ポートiの出力回線jに対応した出力バッファモジュール部30内の出力回線対応キュー31で計算される受付可能レート($ERline[i,j]$)と出力回線対応キュー24におけるアクティブVC数($Nvc[i,j]$)の積のうち、どちらか小さい方を設定する。

【0041】 $R[i,j] = \min(ERg[i] \times Nvc[i,j], ERline[i,j] \times Nvc[i,j])$

アクティブVC数は、バッファ占有量計数部111が保有する各出力回線対応キュー24におけるVC毎のバッファ占有量情報を参照して算出される。

【0042】以上説明した様に、上記実施例によれば、入力レートが出力レートよりも大きく輻輳の発生する箇所であるグローバルキューや出力バッファモジュール部内の出力回線対応キューにおいて、輻輳が発生することなく利用率を大きくとることが可能な受付可能レートを計算し、入力バッファモジュール部20内の出力回線対応キュー24を仮想ソースキュー21と仮想スイッチ内部キュー23の二重構成として、仮想ソースキュー21から仮想スイッチ内部キュー23へのセル転送レートを、ATM交換機システムの後方配置モジュールで計算される受付可能レートに基づいて制御する様にしている。これにより、ATM交換機システムの内部輻輳を引起す大きな要因であるトラヒック特性を明示しない不明瞭な入力トラヒックに対して、それらを仮想キュー21に一時保存してATM交換機内部への実質的な流入を制限することが可能であり、内部輻輳の発生頻度を抑えて内部輻輳によるサービスクラス間の干渉を排除することが可能である。

【0043】また、出力回線101全体へのセル転送を制御することはできるが、VC毎には制御できない入力バッファモジュール部20内の出力回線対応キュー24に対して、対応する宛先出力回線で計算される受付可能レートにその出力回線対応キュー24におけるアクティブVC数を乗じたものをレート制御部22に設定することを全ての入力バッファモジュール部20で行うことにより、入力バッファモジュール部20間で同一出力回線行きのVC数にばらつきがある場合でも、各入力バッファモジュール部20が自律的に出力回線毎VC数を考慮して送信レートを決定するので、同一出力回線行きの全てのVC間で均等なスループットを保証することが可能である。

【0044】パケット受付制御部26は、図7のフローチャートに示す如く、パケットの先頭セルが、ある入力バッファモジュール部20内のポート番号iの出力ポートに収容された回線番号jの出力回線に対応した出力回線対応キュー24に到着すると(F1)、キュー全体に対して設定された固定閾値(Q_{th})、及びその出力回線対応キュー24における出力回線毎のアクティブVC数($Nvc[i,j]$)から下式のように閾値(Q_{th_vc})を計算する(F2)。

【0045】 $Q_{th_vc} = (Q_{th} / Nvc[i,j]) \times K$
Kは利用率低下を防ぐための制御パラメータで、交換機管理者が自由に設定できるものである。そのパケットの所属VCによる占有量(Q_{vc})と Q_{th_vc} を比較して(F3、F4)、もし Q_{vc} が Q_{th_vc} よりも小さいならば($Q_{vc} \leq Q_{th_vc}$)、そのままパケットを受信する(F5)。一方、もしパケットの所属VCによる占有量が Q_{th_vc} よりも大きいならば($Q_{vc} > Q_{th_vc}$)、そのパケットを廃棄することとする(F6)。

【0046】以上説明した様に、上記実施例によれば入力バッファモジュール部20内の出力回線対応キュー24に到着するパケットの受信可否を、パケットの所属するVCによるバッファ占有量と固定閾値をアクティブVC数で除算した量との比較で決定することにより、同一出力回線を経由する複数のVC間で公平なスループットを達成することが可能である。

【0047】次に具体的なケースを図8～図21に示す。図8～図18においては、ポート/回線数は2/8及びCBR/VBR/ABR/UBRクラスの4サービスクラスを提供可能な本発明によるATM交換機システムにおいて、中核スイッチキューからCBR/VBR/ABR/UBRクラスを停止させるためのバックプレッシャー信号(BP_CS)を発信するための閾値 Q_{th_bps} は、夫々80/60/40/20セル、出力バッファモジュール部からBP_OXB信号80を発信させるための閾値 Q_{th_bpsb} は8100セルとする。また、出力バッファモジュール部内の出力回線対応キューから個別に発信されるBP_OXBLの閾値 Q_{th_bpsbl} は、CBR/VBR/ABR/UBRクラス別に800/700/600/500セルとする。

【0048】図8は本発明によるATM交換機システムにおいて、入力バッファモジュール部#1の入力回線#1と出力バッファモジュール部#2の出力回線#4との間にUBRクラスのVCが張られている状態である。

【0049】入力バッファモジュール部#1の入力回線#1と出力バッファモジュール部#2の出力回線#4の間に設定されたUBRクラスのVC1に属するATMセル300に対して、入出力回線間スイッチングの様子を説明する。図8は、上記VC1のATMセル#VC1が入力バッファモジュール部#1に到着したときの状態である。

【0050】 先ず、クラス／回線別分離器25は、そのATMセル300のコネクション情報を参照して宛先出力回線とサービスクラス種別が夫々出力ポート#2／出力回線#4、UBRクラスであることを認識し、そのATMセル300をUBRクラス用の出力ポート#2／出力回線#4宛出力回線対応キューの仮想ソースキューに格納する(図9)。

【0051】 現時点でレート制御部22に設定されている転送レート値は100Mbpsであるので、仮想ソースキュー21から仮想スイッチ内部キュー23へのセル転送が100Mbps程度になる様に制御された上で、ATMセル300は仮想スイッチ内部キュー23に送られる(図10)。

【0052】 ATMセル300よりも前に格納されたATMセルから順に仮想スイッチ内部キュー23から送出されていき、ATMセル300が仮想スイッチ内部キュー23の先頭に達する。

【0053】 ここで、図11に示す如く、バックプレッシャー受信部107の保有するバックプレッシャー受信状況301を参照すると、出力ポート#2の中核スイッチキュー103からのUBRクラスに適用されるBP__CS信号60や出力がバッファモジュール部#2のUBRクラス用出力回線対応キューからのBP__OXB信号70を受けていないので(バックプレッシャー受信状況301中のONは受信している、OFFは受信していないことを表す)、UBRクラス用の回線優先制御部108が出力ポートの#2／出力回線#4宛の出力回線対応キュー24を選択し、かつクラス間優先制御部109がUBRクラスを選択した時、ATMセル300は仮想スイッチ内部キュー23から取出されて、時分割多重バス104を経由して出力ポート#2に対応した中核スイッチキュー103に格納される(図11)。

【0054】 ATMセル300よりも前に格納されたATMセルから順に中核スイッチキュー103から送出されていき、ATMセル300が中核スイッチキュー103の先頭に達する。ここで、バックプレッシャー受信部107の保有するバックプレッシャー受信状況301を参照すると、出力ポート#2の出力バッファモジュール部#2からのBP__OXB信号80を受けていないので、ATMセル300は中核スイッチキュー103から出力ポート50に送出され、後続の出力バッファモジュール部#2に送られる。

【0055】 出力バッファモジュール部#2では、クラス／回線別分離器32はそのATMセル300のコネクション情報を参照して宛先出力回線とサービスクラス種別が夫々出力回線#4、UBRクラスであることを認識し、そのATMセル300をUBRクラス用の出力回線#4宛出力回線対応キューに格納する(図12)。ATMセル300よりも前に格納されたATMセルから順に出力回線対応キューから送出されていき、ATMセル3

00が出力回線対応キューの先頭に達する。ここで、出力回線#4用のクラス間優先制御部109がUBRクラスを選択すると、その先頭セルは出力回線101に送出される(図13)。

【0056】 図14は、ポート#2の中核スイッチキュー長 Q_{cs} がUBRクラス停止用のBP__CS信号60を発信するための閾値 Q_{th_bps} (=20セル)以下である時に、複数のATMセルがポート#2の中核スイッチキュー103に同時到着した時の状態である。

【0057】 このATMセルを格納することで Q_{cs} が Q_{th_bps} を超えてしまうので、ポート#2の中核スイッチキュー103はこのポート行きUBRクラスセルを送信停止させるためのBP__CS信号60を全ての入力バッファモジュール部20に対して発信する。入力バッファモジュール部20では、このBP__CS信号60を受信するとポート#2行きのUBRクラスセルの送信を停止する(図15)。

【0058】 同様に、中核スイッチキュー長 Q_{cs} が各サービスクラス対応の Q_{th_bps} を超える場合には、その中核スイッチキュー宛の該当するサービスクラスのセル送信を停止させるためのBP__CS信号60を全ての入力バッファモジュール部20に対して発信する。

【0059】 本実施例では、各サービスクラス毎に適用する個別のBP__CS信号を用意したが、BP__CS信号一本に対しての複数のサービスクラスを適用させるように構成することも可能である。

【0060】 図16は、出力バッファモジュール部#2のバッファ占有量 Q_{oxb} が、8099セルである時に、ATMセルが到着した時の状態である。このATMセルを格納することでBP__OXB信号80を発信するための閾値 Q_{th_bpxob} (=8100セル)を超えてしまうので、出力バッファモジュール部#2はBP__OXB信号を直前の中核スイッチキュー103に対して発信する。中核スイッチキュー103では、このBP__OXB信号80を受信すると一切のセル送信を停止する(図17)。

【0061】 図18は、出力バッファモジュール部#2内の出力回線#4対応のUBRクラス用キューのバッファ占有量 Q_{oxbl} が499セルである時に、ATMセルが到着した時の状態である。このATMセルを格納することで Q_{oxbl} がBP__OXB信号70を発信するための閾値 Q_{th_bpxobl} (=50セル)を超えてしまうので、出力バッファモジュール部#2はBP__OXB信号70を全ての入力バッファモジュール部20に対して発信する。入力バッファモジュール部20では、このBP__OXB信号70を受信すると出力ポート#2／出力回線#4行きのUBRクラスセルの送信を停止する(図19)。

【0062】 図20は、入力バッファモジュール部#1内の出力ポート#2の出力回線#4に対応したあるサービ

13

スクラスの出力回線対応キュー24のレート制御部22に転送レートR[2,4]を設定するところである。受付可能レート計算部33は定期的に各キューで受付可能レートを計算するが、計算実行の度にレート制御部22にレートを設定する。

【0063】最近のレート計算処理により、出力ポート#2のグローバルキュー90における受付可能レートERg[2]は80Mbps、出力バッファモジュール#2に收容されている出力回線#4に対応した出力回線対応キューにおける受付可能レートERline[2,4]は20Mbpsである。

【0064】この時点で入力バッファモジュール#1の出力ポート#2に対応した出力回線対応キューにおける総アクティブVC数Nvc[2,4]は4であり、出力回線対応キューに設定するレートR[2,4]は次のようになる。

【0065】 $R[2,4] = \min(ERg[2] \times Nvc[2,4], ERline[2,4] \times Nvc[2,4])$

$R[2,4] = \min(80Mbps \times 4, 20Mbps \times 4)$

$R[2,4] = \min(320Mbps, 80Mbps)$

$R[2,4] = 80Mbps$

入力バファモジュール#1の出力ポート#2/出力回線#4に対応した出力回線対応キュー24のレート制御部22に80Mbpsを設定する。このレート設定処理は、各サービスクラス毎にそのサービスクラス用の受付可能レートをを用いて実施する。

【0066】図21は、本発明によるATM交換機システムにおいて、入力バッファモジュール部#1の入力回線#1と出力バックモジュール部#2の出力回線#4の間にUBRクラスのVC7が張られており、そのVC7に属するパケットの先頭セルが到着した時の状態である。固定閾値Qthは500セルであるとする。

【0067】図21において、入力バッファモジュール#1内の出力ポート#2/出力回線#4に対応した出力回線対応キューにおけるアクティブVC数Nvc[2,4]は4であり、VC毎のバッファ占有量と比較する閾値Qth_vcは次のようになる。

【0068】 $Qth_vc = (Qth / Nvc[2,4]) \times K$

$Qth_vc = (500cell / 4) \times 1.0$

$Qth_vc = 125cell$

ここで、制御パラメータKの値として1.0を用いたが、これは交換機管理者が自由に設定できる値である。VC7によるバッファ占有量は300セルで上記Qth_vcを超えるので、このセルを先頭とするパケットを廃棄すると決定し、オパケット受付制御部26はこの先頭セル及びこのパケットの最終セルが到着するまでに到着するVC7の全てのセルを廃棄するように制御する。ここで、もしVCによるバッファ占有量が上記閾値よりも小さいのであれば、このセルを先頭とするパケットを受信すると決定する。

【0069】以上、本明細書及び図面で詳細に示した実

14

施例は本発明を限定するものではない。本発明の主旨及び特許請求の範囲内での種々の変形は本発明の範囲内である。

【0070】

【発明の効果】以上説明したように、大容量の交換容量を保有するATM交換機を実現するために、低速回転インタフェースを時分割多重バスに直接收容させる従来方式とより高速なポートインタフェースを直接收容させる本発明によるスイッチ構成とでは、明らかに本発明によるスイッチ構成の方が時分割多重バスに收容するインタフェース数が少なく、LSI実装上のピン数不足等の問題発生を抑えることが可能である。

【0071】また、入力バッファモジュール部内の出力回線対応キューをサービスクラス毎に用意し、セル廃棄を防ぐために中核スイッチ部や出力バッファモジュール部から発信されるバックプレッシャーの適用をサービスクラス対応に細分化することにより、セル廃棄率や遅延に関して多様なサービスクラス品質を保持することが容易に可能となる。

【0072】更に、入力レートが出力レートよりも大きく輻輳の発生する箇所であるグローバルキューや出力バッファモジュール部内の出力回線対応キューにおいて、輻輳を発生することなく利用率を大きくとることが可能な受付可能レートを計算し、入力バッファモジュール部内の出力回線対応キューを仮想ソースキューと仮想スイッチ内部キューの二重構成として、仮想ソースキューから仮想スイッチへのセル転送レートを、ATM交換機システムの後方配置モジュールで計算される受付可能レートに基づいて制御することにより、ATM交換機システムの内部輻輳を引起す大きな要因であるトラヒック特性を明示しない不明瞭な入力トラヒックに対して、それらを仮想ソースキューに一時保存してATM交換機内部への実質的な流入を制限して内部輻輳の発生頻度を抑えることが可能であり、内部輻輳によるサービスクラス間の干渉を排除することが可能である。

【0073】更にはまた、出力回線全体へのセル転送を制御することはできるが、VC毎には制御できない入力バッファモジュール部内の出力回線対応キューに対して、出力バッファモジュール部内の対応する出力回線対応キューで計算される受付可能レートに、その出力回線対応キューにおけるアクティブVC数を乗じたものをレート制御部に設定することを、全ての入力バッファモジュール部で行うことにより、入力バッファモジュール間で同一出力回線行きのVC数にばらつきがある場合でも、入力バッファモジュール部20が自律的に出力回線毎VC数を考慮して送信レートを決定するので、同一出力回線行きのVC間で均等なスループットを保証することが可能である。

【0074】また、入力バッファモジュール部20内の出力回線対応キューに到着するパケットの受信可否を、

パケットの所属するVCによるバッファ占有量と固定閾値をアクティブVC数で除算した量との比較で決定することにより、同一出力回線を経由する複数のVC間で公平なスループットを達成することが可能である。

【図面の簡単な説明】

【図1】本発明によるATM交換機システムの一実施例のブロック図である。

【図2】図1の実施例の入力バッファモジュール部のバッファ占有量計数部が保存するバッファ占有量情報テーブルの構成図である。

【図3】図1の実施例の中核スイッチ部のバッファ占有量計数部が保存するバッファ占有量情報テーブルの構成図である。

【図4】図1の実施例の出力バッファモジュール部のバッファ占有量計数部が保存するバッファ占有量情報テーブルの構成図である。

【図5】図1の実施例におけるバックプレッシャー制御の形態図である。

【図6】図1の実施例における受付可能レート計算環境を示す図である。

【図7】図1の実施例におけるパケット選択廃棄の処理流れ図である。

【図8】図1の実施例において、入出力回線間でATMセルをスイッチングする時の処理手順を説明する状態図である。

【図9】図1の実施例において、入出力回線間でATMセルをスイッチングする時の処理手順を説明する状態図である。

【図10】図1の実施例において、入出力回線間でATMセルをスイッチングする時の処理手順を説明する状態図である。

【図11】図1の実施例において、入出力回線間でATMセルをスイッチングする時の処理手順を説明する状態図である。

【図12】図1の実施例において、入出力回線間でATMセルをスイッチングする時の処理手順を説明する状態図である。

【図13】図1の実施例において、入出力回線間でATMセルをスイッチングする時の処理手順を説明する状態図である。

【図14】図1の実施例において、中核スイッチキュー長がBP_CS信号発生用閾値以下である時に、複数のATMセルが同時に到着した時の処理手順を説明する状態図である。

【図15】図1の実施例において、中核スイッチキュー長がBP_CS信号発生用閾値以下である時に、複数のATMセルが同時に到着した時の処理手順を説明する状態図である。

【図16】図1の実施例において、出力バッファモジュール部のバッファ占有量がBP_OXB信号発生用閾値

以下である時に、ATMセルが到着した時の処理手順を説明する状態図である。

【図17】図1の実施例において、出力バッファモジュール部のバッファ占有量がBP_OXB信号発生用閾値以下である時に、ATMセルが到着した時の処理手順を説明する状態図である。

【図18】図1の実施例において、出力バッファモジュール部内の出力回線対応キューがBP_OXBL信号発生用閾値以下である時に、ATMセルが到着した時の処理手順を説明する状態図である。

【図19】図1の実施例において、出力バッファモジュール部内の出力回線対応キューがBP_OXBL信号発生用閾値以下である時に、ATMセルが到着した時の処理手順を説明する状態図である。

【図20】図1の実施例において、入力バッファモジュール部内のレート制御部に受付可能レートを設定する処理手順を説明する状態図である。

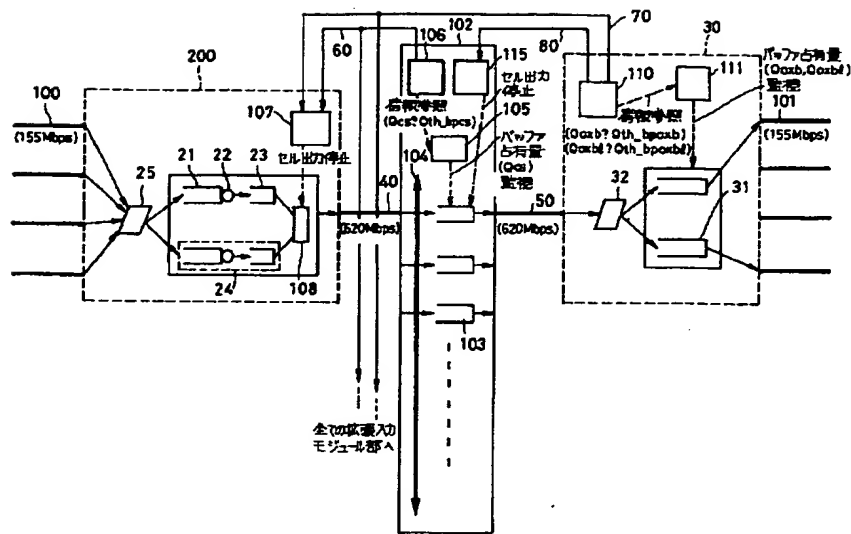
【図21】図1の実施例において、パケットの先頭セルが入力バッファモジュール部に到着した時のパケット受信可否判断の処理手順を説明する状態図である。

【図22】従来の構成によるATM交換機システムである。

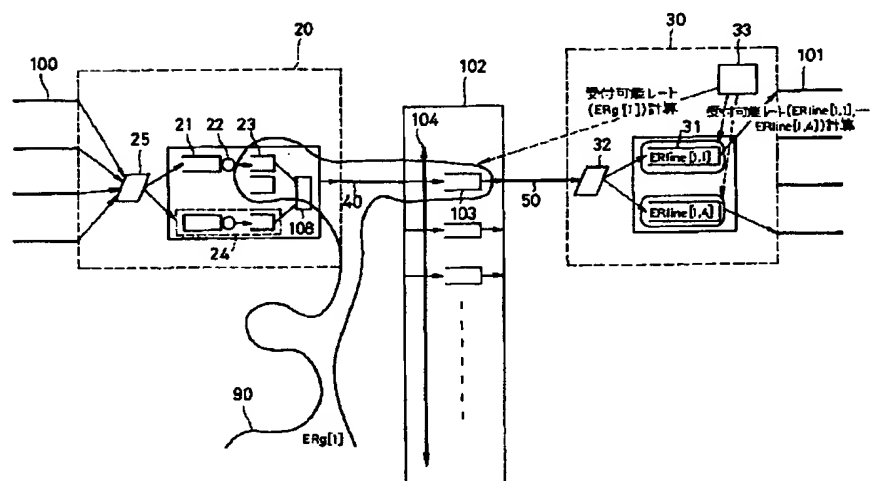
【符号の説明】

- 20 入力バッファモジュール部
- 21 仮想ソースキュー
- 22 出力回線対応キュー
- 23 仮想スイッチ内部キュー
- 24 出力回線対応キュー
- 25 クラス／回線別分離器
- 26 パケット受付制御部
- 30 出力バッファモジュール部
- 31 出力回線対応キュー
- 32 クラス／回線別分離器
- 33 受付可能レート計算部
- 40 入力ポート
- 50 出力ポート
- 60 バックプレッシャー信号 (BP_CS)
- 70 バックプレッシャー信号 (BP_OXBL)
- 80 バックプレッシャー信号 (BP_OXB)
- 90 グローバルキュー
- 100 入力回線
- 101 出力回線
- 102 中核スイッチ部
- 103 中核スイッチキュー
- 104 時分割多重バス
- 105, 111, 114 バッファ占有量計数部
- 106, 110 バックプレッシャー発信部
- 107, 115 バックプレッシャー受信部
- 108 回転優先制御部
- 109 クラス間優先制御部

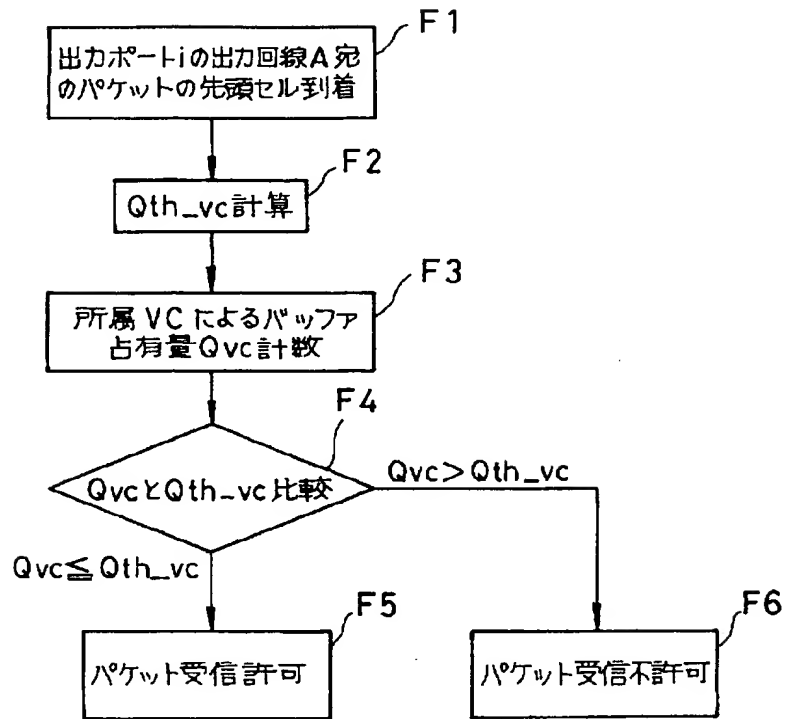
【図5】



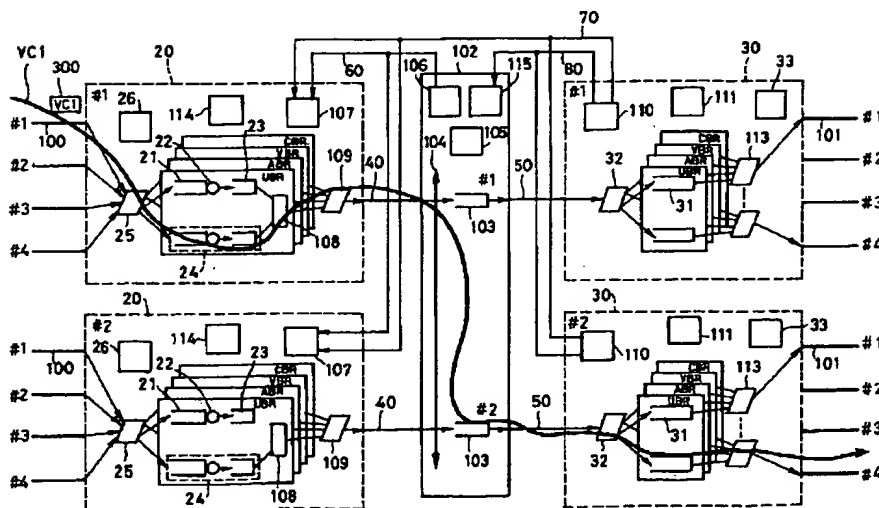
【図6】



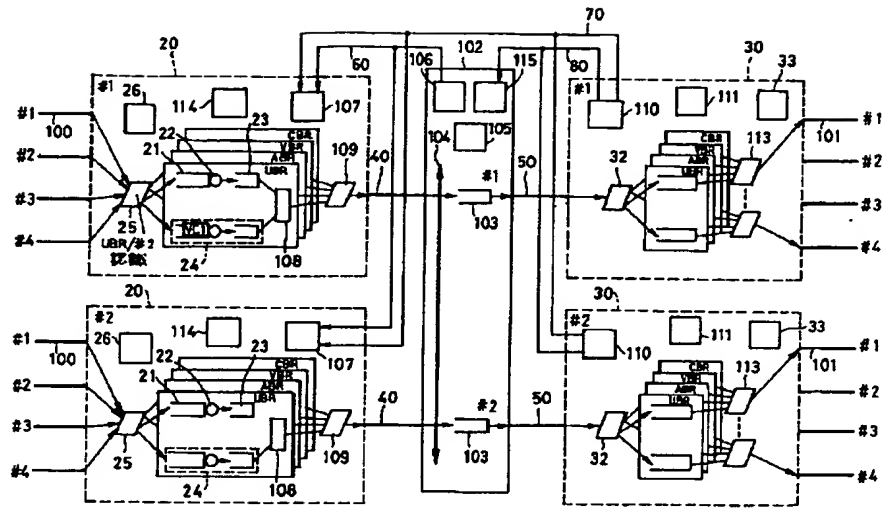
【図7】



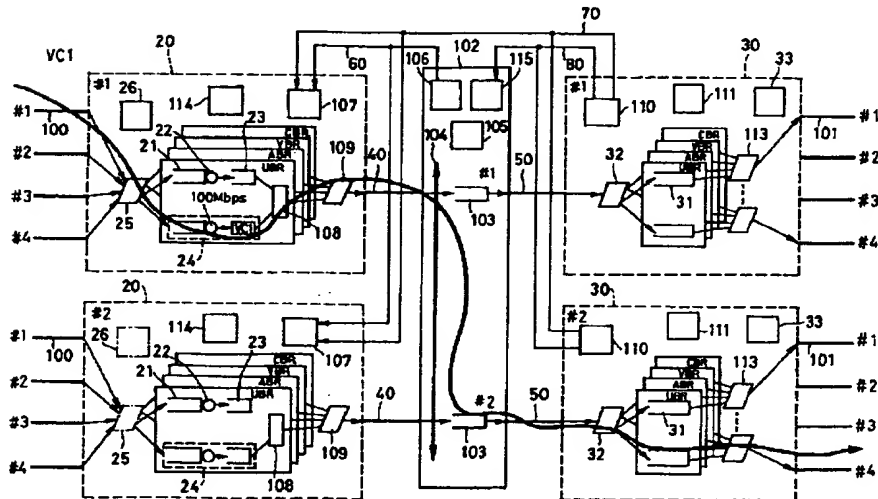
【図8】



【図9】



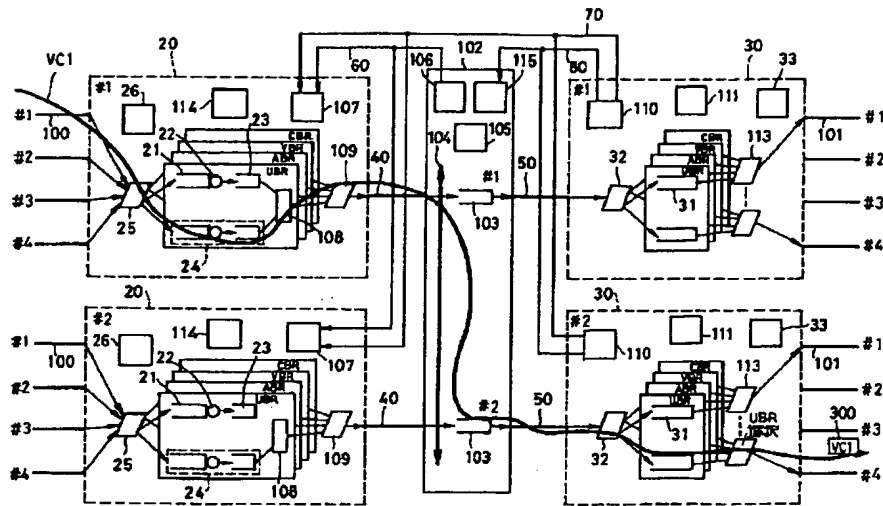
【図10】



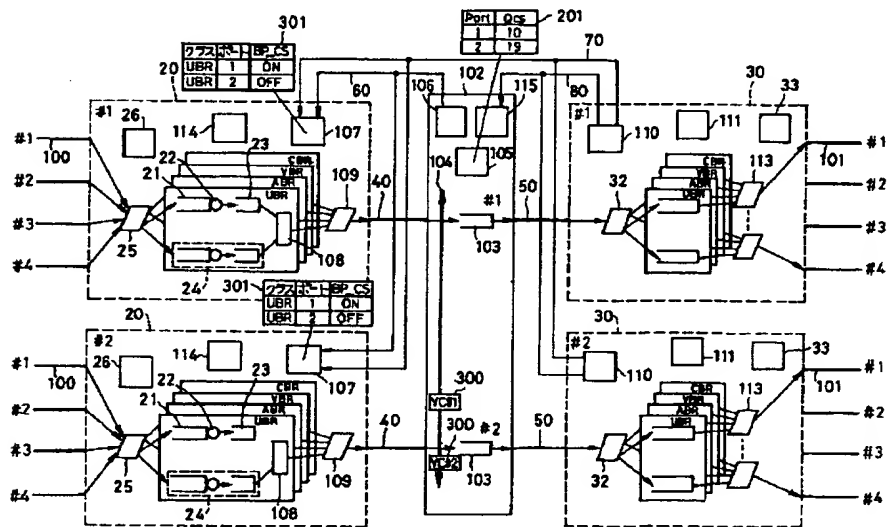
Port	BP	CS	Line	BP, OIBL
1	ON		1	ON
2	OFF		2	OFF

The diagram illustrates a multi-channel optical communication system with four main components: VC1, VC2, VC3, and VC4. Each VC contains a multi-channel optical switch (20) with four input/output channels (#1, #2, #3, #4) and a control unit (30). The control units are interconnected via a central control bus (40) and a data bus (50). A central control unit (301) is shown at the top, with a table indicating its control signals.

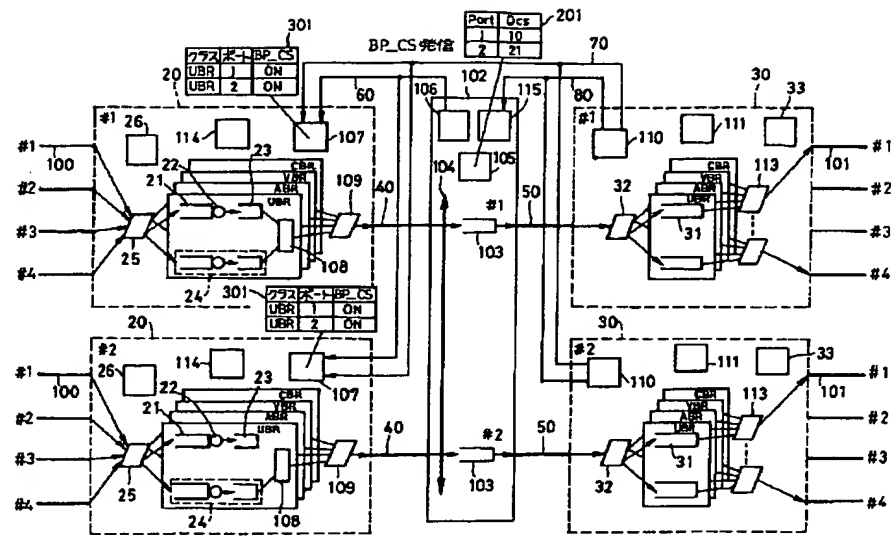
【図13】



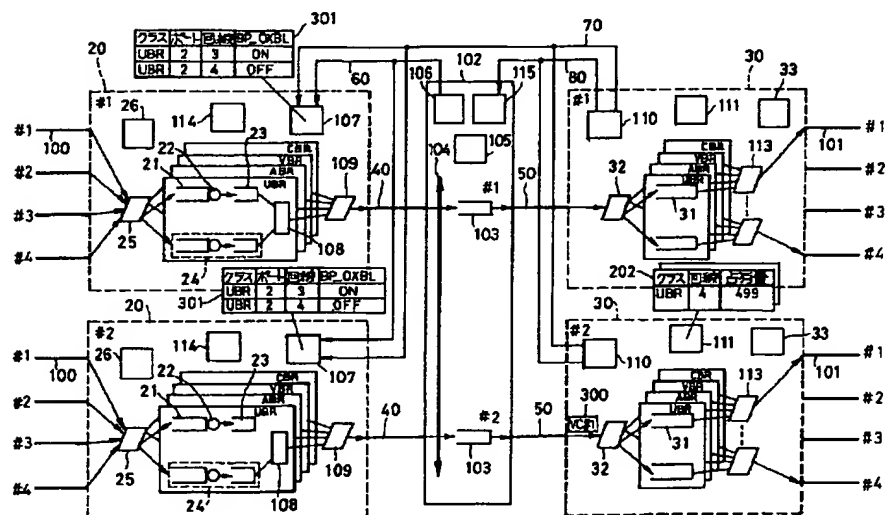
【図14】



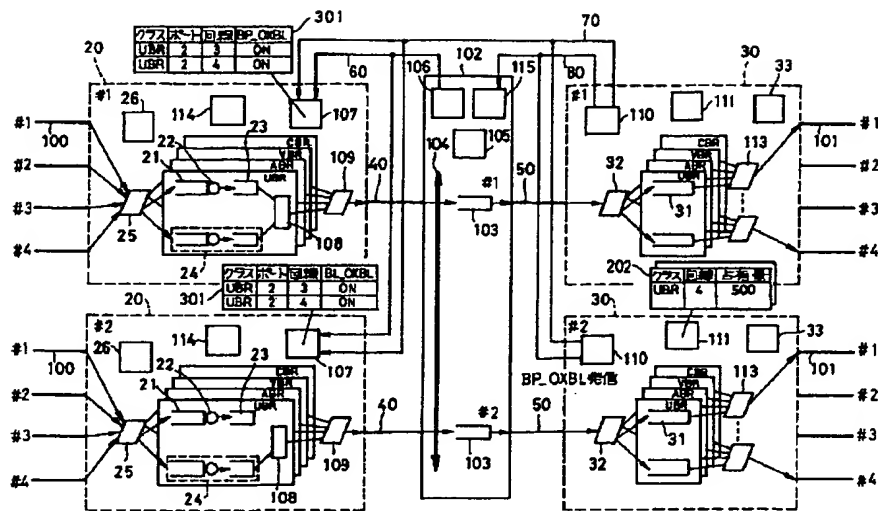
【図15】



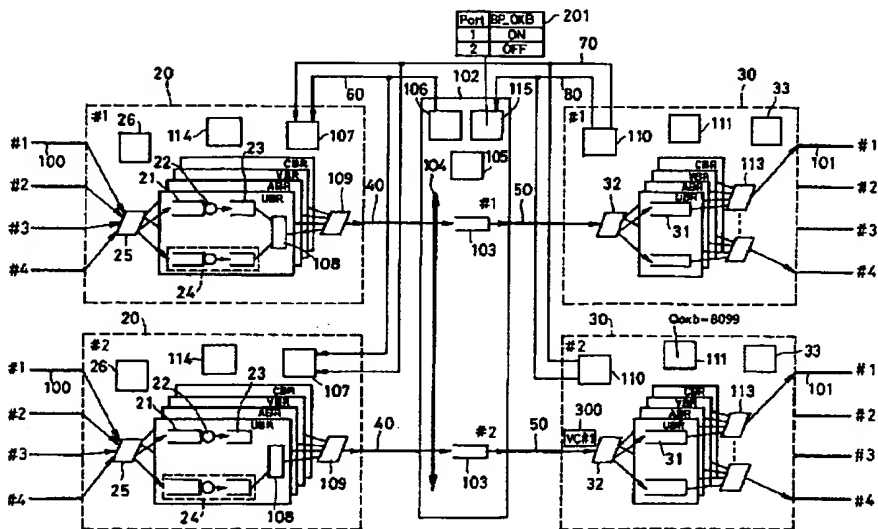
【図16】



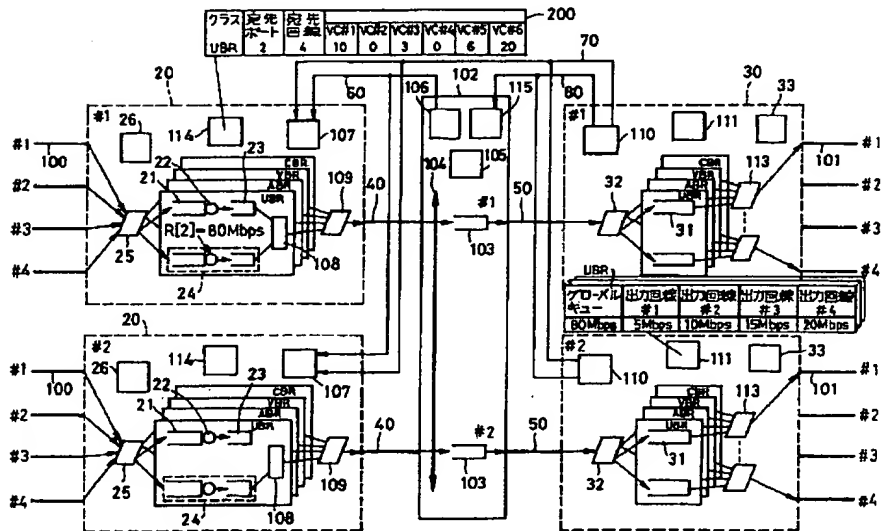
【図17】



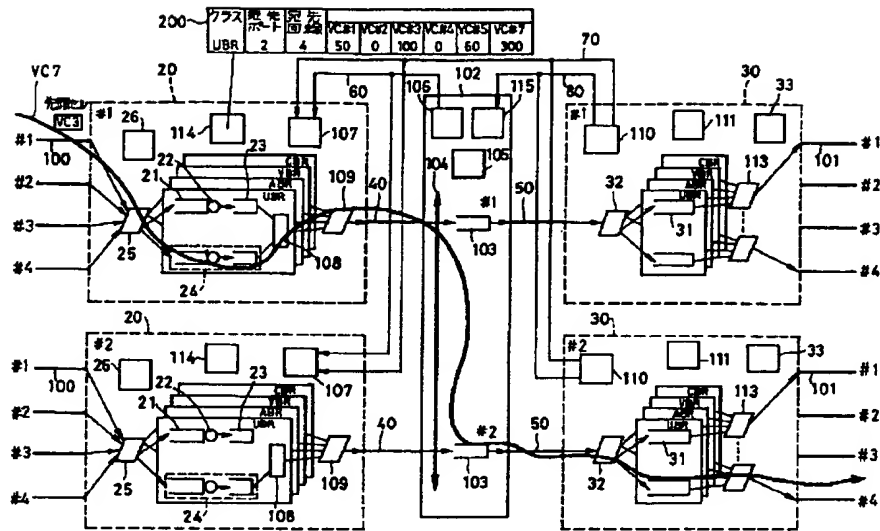
【図18】



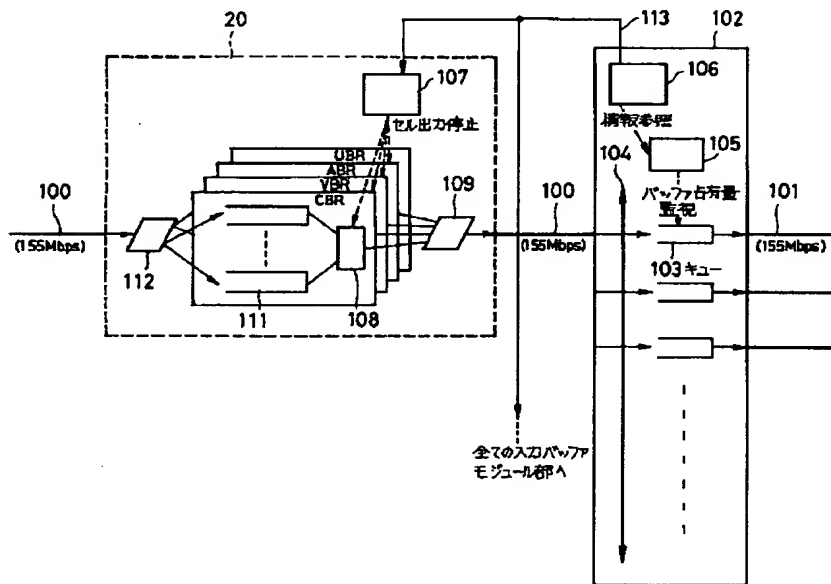
【図 20】



【図21】



【図22】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record.**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☒ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)